

日 本 国 特 許 庁
JAPAN PATENT OFFICE

60188-612
Imade et al.
June 24 2003
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年10月 1日

出 願 番 号

Application Number:

特願2002-288528

[ST.10/C]:

[JP 2002-288528]

出 願 人

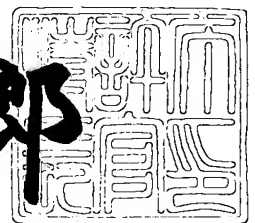
Applicant(s):

松下電器産業株式会社

2003年 4月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3030367

【書類名】 特許願

【整理番号】 2926430236

【提出日】 平成14年10月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/316
H01L 29/784

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 今出 昌宏

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 門脇 匡志

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 海本 博之

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 素子形成領域を有する半導体層と、
上記素子形成領域の側方を囲む素子分離と、
上記半導体層の上記素子形成領域内に設けられたソース・ドレイン領域と、
上記素子形成領域の上に設けられたゲート絶縁膜と、
上記ゲート絶縁膜の上から上記素子分離の上までのびるゲート電極と、
上記ゲート電極の側方に設けられ、上記素子形成領域を除く部分の上の一部で断絶しているサイドウォールと
を備える半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、
上記ソース・ドレイン領域は、高濃度不純物拡散層と低濃度不純物拡散層とを有しており、
上記サイドウォールは、上記高濃度不純物拡散層を形成するためのイオン注入マスクであることを特徴とする半導体装置。

【請求項 3】 請求項 1 または 2 に記載の半導体装置において、
上記サイドウォールのうち上記素子分離の上に位置する部分の少なくとも一部が除去されていることにより、上記サイドウォールは断絶していることを特徴とする半導体装置。

【請求項 4】 請求項 1 ～ 3 のうちいずれか 1 つに記載の半導体装置において、

上記ゲート電極は、ゲートコンタクトと接する部分となるコンタクト形成領域と、上記コンタクト形成領域とは上記素子形成領域を挟んで対向する領域とにおいて上記素子分離の上に設けられていることを特徴とする半導体装置。

【請求項 5】 請求項 1 ～ 4 のうちいずれか 1 つに記載の半導体装置において、

上記サイドウォールは、上記素子形成領域と、上記素子分離のうち上記素子形成領域との境界領域とを除く領域の上には設けられていないことを特徴とする半

導体装置。

【請求項 6】 請求項 1～5 のうちいずれか 1 つに記載の半導体装置において、

上記サイドウォールと上記ゲート電極との間には、L 字状サイドウォールおよびオフセットスペーサ層のうちの少なくとも 1 つが介在していることを特徴とする半導体装置。

【請求項 7】 請求項 1～6 のうちいずれか 1 つに記載の半導体装置において、

上記サイドウォールは、シリコン窒化膜からなることを特徴とする半導体装置。

【請求項 8】 素子形成領域を有する半導体層と、
上記素子形成領域の側方を囲む素子分離と、
上記半導体層の上記素子形成領域内に設けられたソース・ドレイン領域と、
上記素子形成領域の上に設けられたゲート絶縁膜と、
上記ゲート絶縁膜の上から上記素子分離の上までのびるゲート電極と、
上記ゲート電極の側方に設けられ、上記素子形成領域を除く部分の上の一部の厚みが、上記素子形成領域の上の部分の厚みよりも薄くなっているサイドウォールと
を備える半導体装置。

【請求項 9】 請求項 8 に記載の半導体装置において、
上記ソース・ドレイン領域は、高濃度不純物拡散層と低濃度不純物拡散層とを有しており、

上記サイドウォールは、上記高濃度不純物拡散層を形成するためのイオン注入マスクであることを特徴とする半導体装置。

【請求項 10】 請求項 8 または 9 に記載の半導体装置において、
上記サイドウォールは、シリコン窒化膜からなることを特徴とする半導体装置。

【請求項 11】 半導体層からなる素子形成領域と、上記素子形成領域の側方を囲む素子分離とを有する基板に設けられた半導体装置の製造方法において、

上記素子形成領域の上にゲート絶縁膜を形成する工程（a）と、
 上記素子形成領域上の上記ゲート絶縁膜の上から、上記素子分離の上までのびるゲート電極を形成する工程（b）と、
 上記ゲート電極の側方を囲むサイドウォールを形成する工程（c）と、
 上記サイドウォールのうち上記素子形成領域を除く部分の上の一部を除去して、上記サイドウォールを断絶させる工程（d）と、
 上記工程（c）または（d）の後に、上記サイドウォールおよび上記ゲート電極をマスクとしてイオン注入を行なうことにより、上記半導体層の上記素子形成領域内に、第1不純物拡散層を形成する工程（e）と
 を備えることを特徴とする半導体装置の製造方法。

【請求項12】 請求項11に記載の半導体装置の製造方法において、
 上記工程（b）の後で上記工程（c）の前に、上記ゲート電極をマスクとしてイオン注入を行なうことにより、上記素子形成領域内に第2不純物拡散層を形成する工程を備え、

上記工程（e）では、上記第2不純物拡散層よりも高濃度の不純物を有する上記第1不純物拡散層を形成し、上記第1不純物拡散層および上記第2不純物拡散層を、ソース・ドレイン領域とすることを特徴とする半導体装置の製造方法。

【請求項13】 請求項11または12に記載の半導体装置の製造方法において、

上記工程（b）では、コンタクト形成領域と、上記コンタクト形成領域とは上記素子形成領域を挟んで対向する領域とを、上記素子分離の上に有する上記ゲート電極を形成し、

上記工程（d）では、上記ゲート電極のうち上記素子分離の上に位置する領域のうちの少なくとも一部の領域において、上記サイドウォールの少なくとも一部を除去することを特徴とする半導体装置の製造方法。

【請求項14】 請求項11～13のうちのいずれか1つに記載の半導体装置の製造方法において、

上記工程（d）では、上記素子形成領域と、上記素子分離のうち上記素子形成領域との境界領域とを除く領域の上に設けられた上記サイドウォールを除去する

ことを特徴とする半導体装置の製造方法。

【請求項 1 5】 請求項 1 1～1 4 のうちいずれか 1 つに記載の半導体装置の製造方法において、

上記工程（b）の後で上記工程（c）の前に、上記ゲート電極の側面上に、L 字状サイドウォールおよびオフセットスペーサ層のうちの少なくとも 1 つを形成する工程をさらに含むことを特徴とする半導体装置の製造方法。

【請求項 1 6】 請求項 1 1～1 5 のうちいずれか 1 つに記載の半導体装置の製造方法において、

上記サイドウォールは、シリコン窒化膜からなることを特徴とする半導体装置の製造方法。

【請求項 1 7】 半導体層の素子形成領域と、上記素子形成領域の側方を囲む素子分離とを有する基板に設けられた半導体装置の製造方法において、

上記素子形成領域の上にゲート絶縁膜を形成する工程（a）と、

上記素子形成領域上の上記ゲート絶縁膜の上から、上記素子分離の上までのびるゲート電極を形成する工程（b）と、

上記ゲート電極の側方を囲むサイドウォールを形成する工程（c）と、

上記サイドウォールのうち上記素子形成領域を除く部分の上の一部を除去することにより、上記サイドウォールの一部の厚さを薄くする工程（d）と、

上記工程（c）または（d）の後に、上記サイドウォールおよび上記ゲート電極をマスクとしてイオン注入を行なうことにより、上記素子形成領域内に不純物拡散層を形成する工程（e）と

を備える半導体装置の製造方法。

【請求項 1 8】 請求項 1 7 に記載の半導体装置の製造方法において、

上記サイドウォールは、シリコン窒化膜からなることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関し、特に、サイドウォールを有

する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

以下に、従来の半導体装置の構造について、図6（a）、（b）を参照しながら説明する。図6は従来の半導体装置の構造を示す構造図であり、（a）は平面図、（b）は図6（a）のA-A箇所の断面図である。

【0003】

図6（a）に示すように、従来の半導体装置では、基板1は、素子形成領域としての半導体層2と、半導体層2の側方を囲むシャロートレンチ素子分離（以下ではSTIと示す）3とを備えている。そして、ゲート電極4が、半導体層2の上を縦断してSTI3の上にのびるように設けられている。ゲート電極4の側方には、全側面を取り囲むように絶縁性のサイドウォール9が形成されている。

【0004】

従来の半導体装置の構成は、図6（b）に示すように、半導体層2とSTI3とからなる基板1と、半導体層2内に互いに離間して設けられ、高濃度不純物拡散層6と低濃度不純物拡散層7とからなるソース・ドレイン領域8と、半導体層2のうちソース・ドレイン領域8に挟まれる領域の上に設けられ、シリコン酸化膜（ SiO_2 ）からなるゲート絶縁膜5と、ゲート絶縁膜5の上に設けられたポリシリコンからなるゲート電極4と、ゲート電極4の側面上から半導体層2の上面上に亘って設けられたシリコン窒化膜（ SiN ）からなるサイドウォール9とから構成されている。

【0005】

ソース・ドレイン領域8のうちの高濃度不純物拡散層6は、半導体層2のうち絶縁性サイドウォール9の外側方に位置する部分に設けられている。低濃度不純物拡散層7は、半導体層2のうちで高濃度不純物拡散層6の内側に接し、高濃度不純物拡散層6よりも浅い深さで設けられている。

【0006】

次に、従来の半導体装置の製造方法について、図7（a）～（d）を参照しながら説明する。図7（a）～（d）は、図6に示す半導体装置の製造工程を示す

断面図である。

【0007】

まず、図7(a)に示す工程で、基板に半導体層2を取り囲むSTI（図示せず）を形成した後、半導体層2の上に、シリコン酸化膜からなるゲート絶縁膜5とポリシリコンからなるゲート電極4とを形成する。次いで、ゲート電極4をマスクとして半導体層2にイオン注入を行なうことにより、半導体層2の上層部のうちゲート電極4の両側方に位置する部分に低濃度不純物拡散層7を形成する。

【0008】

次に、図7(b)に示す工程で、半導体層2の上に、ゲート電極4およびゲート絶縁膜5を覆うシリコン窒化膜9aを堆積する。

【0009】

そして、図7(c)に示す工程で、シリコン窒化膜9aをエッチバックすることにより、ゲート電極4の側方にサイドウォール9を形成する。

【0010】

次に、図7(d)に示す工程で、ゲート電極4およびサイドウォール9をマスクとして半導体層2にイオン注入を行なうことにより、半導体層2の上層部のうちサイドウォール9の外側方に位置する部分に高濃度不純物拡散層6を形成する。高濃度不純物拡散層6は低濃度不純物拡散層7よりも深い注入深さで形成する。高濃度不純物拡散層6と低濃度不純物拡散層7とは、ソース・ドレイン領域8となる。以上の工程により従来の半導体装置が形成される。

【0011】

一般的に、サイドウォール9の材料としてはシリコン窒化物が用いられる。シリコン窒化物は大きな応力を有しているため、ゲート電極4、ゲート絶縁膜5および半導体層2には、サイドウォール9に起因する応力がかかる。上述のような応力を緩和させる手段として、ゲート電極とサイドウォールとの間にL字状の応力緩和層を介在させる方法が提案されている（例えば、特許文献1参照）。

【0012】

【特許文献1】

特開平5-102074号公報（第4頁、図4）

【 0 0 1 3 】

【発明が解決しようとする課題】

しかしながら、M I S F E T の微細化が進むにつれてゲート長に対するサイドウォールの相対的な厚みが増してきており、サイドウォールの応力がゲート電極に与える影響も増大している。

【 0 0 1 4 】

サイドウォールの応力がゲート電極やゲート絶縁膜におよぶと閾値電圧が変位しやすくなる。また、この応力が半導体層におよぶと、リーク電流発生の原因となる結晶欠陥が発生するおそれが生じる。したがって、ゲート電極とサイドウォールとの間に応力緩和層を介在させるだけでは効果的な応力緩和は難しく、さらなる応力の低減あるいは緩和が必要となる。

【 0 0 1 5 】

本発明は、サイドウォールに起因する応力を緩和することにより、信頼性の高い半導体装置およびその製造方法を提供することを目的とする。

【 0 0 1 6 】

【課題を解決するための手段】

本発明の第 1 の半導体装置は、素子形成領域を有する半導体層と、上記素子形成領域の側方を囲む素子分離と、上記半導体層の上記素子形成領域内に設けられたソース・ドレイン領域と、上記素子形成領域の上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上から上記素子分離の上までのびるゲート電極と、上記ゲート電極の側方に設けられ、上記素子形成領域を除く部分の上の一部で断絶しているサイドウォールとを備える。

【 0 0 1 7 】

これにより、ゲート電極の側方が閉環状のサイドウォールにより覆われている従来と比較して、サイドウォールに起因する応力を低減させることができる。

【 0 0 1 8 】

上記ソース・ドレイン領域は、高濃度不純物拡散層と低濃度不純物拡散層とを有しており、上記サイドウォールは、上記高濃度不純物拡散層を形成するためのイオン注入マスクであってもよい。

【 0 0 1 9 】

上記サイドウォールのうち上記素子分離の上に位置する部分の少なくとも一部が除去されていることにより、上記サイドウォールは断絶していることにより、サイドウォールからゲート電極およびゲート絶縁膜にかかる応力を低減することができるので、しきい値電圧の変動を抑制することができる。

【 0 0 2 0 】

上記ゲート電極は、上記ゲート電極は、ゲートコンタクトと接する部分となるコンタクト形成領域と、上記コンタクト形成領域とは上記素子形成領域を挟んで対向する領域とにおいて上記素子分離の上に設けられていてもよい。

【 0 0 2 1 】

上記サイドウォールは、上記素子形成領域と、上記素子分離のうち上記素子形成領域との境界領域とを除く領域の上には設けられていないことにより、サイドウォールが設けられている領域がさらに少なくなっているので、サイドウォールに起因する応力がさらに緩和される。そのため、サイドウォールから基板へかかる応力も低減することができるので、素子形成領域において結晶欠陥の発生を阻止することができ、リーク電流の発生を回避することができる。

【 0 0 2 2 】

上記サイドウォールと上記ゲート電極との間には、L字状サイドウォールおよびオフセットスペーサ層のうちの少なくとも1つが介在していてもよい。

【 0 0 2 3 】

上記サイドウォールは、シリコン窒化膜からなっていることが好ましい。

【 0 0 2 4 】

本発明の第2の半導体装置は、素子形成領域を有する半導体層と、上記素子形成領域の側方を囲む素子分離と、上記素子形成領域内に設けられたソース・ドレイン領域と、上記素子形成領域の上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上から上記素子分離の上までのびるゲート電極と、上記ゲート電極の側方に設けられ、上記素子形成領域を除く部分の上の一部の厚みが、上記素子形成領域の上の部分の厚みよりも薄くなっているサイドウォールとを備える。

【 0 0 2 5 】

これにより、ゲート電極の側方が一様な厚さのサイドウォールにより囲まれて
いる従来と比較して、サイドウォールに起因する応力を低減することができる。

【 0 0 2 6 】

上記ソース・ドレイン領域は、高濃度不純物拡散層と低濃度不純物拡散層とを
有しており、上記サイドウォールは、上記高濃度不純物拡散層を形成するための
イオン注入マスクであってもよい。

【 0 0 2 7 】

上記サイドウォールは、シリコン窒化膜からなっていることが好ましい。

【 0 0 2 8 】

本発明の半導体装置の第 1 の製造方法は、半導体層からなる素子形成領域と、
上記素子形成領域の側方を囲む素子分離とを有する基板に設けられた半導体装置
の製造方法において、上記素子形成領域の上にゲート絶縁膜を形成する工程（a）
と、上記素子形成領域上の上記ゲート絶縁膜の上から、上記素子分離の上まで
のびるゲート電極を形成する工程（b）と、上記ゲート電極の側方を囲むサイド
ウォールを形成する工程（c）と、上記サイドウォールのうち上記素子形成領域
を除く部分の上の一部を除去して、上記サイドウォールを断絶させる工程（d）
と、上記工程（c）または（d）の後に、上記サイドウォールおよび上記ゲート
電極をマスクとしてイオン注入を行なうことにより、上記半導体層の上記素子形
成領域内に、第 1 不純物拡散層を形成する工程（e）とを備える。

【 0 0 2 9 】

これにより、ゲート電極の側方が閉環状のサイドウォールにより覆われている
従来と比較して、サイドウォールに起因する応力の少ない半導体装置を製造する
ことができる。

【 0 0 3 0 】

上記工程（b）の後で上記工程（c）の前に、上記ゲート電極をマスクとして
イオン注入を行なうことにより、上記素子形成領域内に第 2 不純物拡散層を形成
する工程を備え、上記工程（e）では、上記第 2 不純物拡散層よりも高濃度の不
純物を有する上記第 1 不純物拡散層を形成し、上記第 1 不純物拡散層および上記
第 2 不純物拡散層を、ソース・ドレイン領域としてもよい。

【 0 0 3 1 】

上記工程（b）では、コンタクト形成領域と、上記コンタクト形成領域とは上記素子形成領域を挟んで対向する領域と上記素子分離の上に有する上記ゲート電極を形成し、上記工程（d）では、上記ゲート電極のうち上記素子分離の上に位置する領域のうちの少なくとも一部の領域において、上記サイドウォールの少なくとも一部を除去することにより、上記サイドウォールからゲート電極およびゲート絶縁膜にかかる応力の少ない半導体装置を製造することができる。

【 0 0 3 2 】

上記工程（d）では、上記素子形成領域と、上記素子分離のうち上記素子形成領域との境界領域とを除く領域の上に設けられた上記サイドウォールを除去することにより、サイドウォールが設けられている領域がさらに少ない半導体装置を製造することができる。したがって、サイドウォールに起因する応力がさらに緩和され、サイドウォールから基板へかかる応力も低減することができる。そのため、素子形成領域において結晶欠陥の発生を阻止することができ、リーク電流の発生を回避することができる。

【 0 0 3 3 】

上記工程（b）の後で上記工程（c）の前に、上記ゲート電極の側面上に、L字状サイドウォールおよびオフセットスペーサ層のうちの少なくとも1つを形成する工程をさらに含んでもよい。

【 0 0 3 4 】

上記サイドウォールは、シリコン窒化膜からなっていることが好ましい。

【 0 0 3 5 】

本発明の第2の半導体装置の製造方法は、半導体層の素子形成領域と、上記素子形成領域の側方を囲む素子分離とを有する基板に設けられた半導体装置の製造方法において、上記素子形成領域の上にゲート絶縁膜を形成する工程（a）と、上記素子形成領域上の上記ゲート絶縁膜の上から、上記素子分離の上までのびるゲート電極を形成する工程（b）と、上記ゲート電極の側方を囲むサイドウォールを形成する工程（c）と、上記サイドウォールのうち上記素子形成領域を除く部分の上の一部を除去することにより、上記サイドウォールの一部の厚さを薄く

する工程（d）と、上記工程（c）または（d）の後に、上記サイドウォールおよび上記ゲート電極をマスクとしてイオン注入を行なうことにより、上記素子形成領域内に不純物拡散層を形成する工程（e）とを備える。

【 0 0 3 6 】

これにより、ゲート電極の側方が一様な厚さのサイドウォールにより囲まれている従来と比較して、サイドウォールに起因する応力の少ない半導体装置を製造することができる。

【 0 0 3 7 】

上記サイドウォールは、シリコン窒化膜からなることが好ましい。

【 0 0 3 8 】

【発明の実施の形態】

以下に、本発明の実施形態について図面を参照しながら説明する。

【 0 0 3 9 】

なお、以下に示す実施形態ではLDD構造を持つMISFETが対象として説明されているが、本発明はこれに限定されるものではない。本発明は、サイドウォールまたはそれに相当する構造を持ち、そこから発生する応力が問題となる種々の半導体装置に適用することができる。

【 0 0 4 0 】

（第 1 の実施形態）

まず、第 1 の実施形態にかかる半導体装置について図 1（a）～（c）を参照しながら説明する。図 1 は、第 1 の実施形態における半導体装置の構造図であり、（a）は平面図、（b）は図 1（a）における A－A 箇所のゲート長方向の断面図、（c）は図 1（a）における B－B 箇所のゲート幅方向の断面図である。

【 0 0 4 1 】

図 1（a）に示すように、本実施形態の半導体装置では、基板 11 は、素子形成領域としての半導体層 12 と、半導体層 12 の側方を囲むシャロートレンチ素子分離（以下ではSTIと示す）13とを備えている。そして、ゲート電極 14 が、半導体層 12 の上を縦断してSTI 13 の上にのびるように設けられている。ゲート電極 14 の側方は、STI 13 の上に位置するゲートコンタクト 22 の

側方である領域 20 を除いて絶縁性のサイドウォール 19 によって囲まれている。領域 20 では、図 1 (c) に示すように、サイドウォール 19 が設けられていないので、STI 13 の上にゲート電極 14 の側面が露出している。

【0042】

本実施形態の半導体装置の構成は、図 1 (b) に示すように、素子形成領域となる半導体層 12 および素子分離領域となる STI 13 を有する基板 11 と、半導体層 12 内に設けられ、高濃度不純物拡散層 16 と低濃度不純物拡散層 17 とからなるソース・ドレイン領域 18 と、半導体層 12 のうちソース・ドレイン領域 18 に挟まれる領域の上に設けられ、シリコン酸化膜またはシリコン酸窒化膜からなるゲート絶縁膜 15 と、ゲート絶縁膜 15 の上に設けられ、ポリシリコンからなるゲート長 130 nm のゲート電極 14 と、ゲート電極 14 の側方に設けられた絶縁性のサイドウォール 19 とからなっている。

【0043】

ソース・ドレイン領域 18 は半導体層 12 内に互いに離間して設けられ、高濃度不純物拡散層 16 は、濃度 $1 \times 10^{21} / \text{cm}^3$ の不純物を含んでおり、低濃度不純物拡散層 17 は、高濃度不純物拡散層 16 よりも浅い深さで設けられ、濃度 $1 \times 10^{18} / \text{cm}^3 \sim 6 \times 10^{20} / \text{cm}^3$ の不純物を含んでいる。

【0044】

次に、第 1 の実施形態の半導体装置の製造方法について、図 2 (a) ~ (e) を参照しながら説明する。図 2 (a) ~ (e) は、第 1 の実施形態の半導体装置の製造工程を示す図であり、上図は平面図、下図は上図の A-A 箇所における断面図である。

【0045】

まず、図 2 (a) に示す工程で、基板 11 の素子形成領域の側方を囲む領域にトレンチ（図示せず）を形成する。そして、トレンチをシリコン酸化膜で埋めることにより、STI 13（図 1 に示す）を形成する。これにより、素子形成領域としての半導体層 12 と、半導体層 12 の側方を取り囲む STI 13 とが上面に露出する。

【0046】

次に、半導体層 1 2 の上にシリコン酸化膜またはシリコン窒化膜からなるゲート絶縁膜 1 5 を形成した後、ゲート絶縁膜 1 5 の上にポリシリコンからなるゲート電極を形成する。このとき、ゲート電極 1 4 は、半導体層 1 2 の上を縦断して S T I 1 3 の上にのびるように形成する。

【 0 0 4 7 】

そして、ゲート電極 1 4 をマスクとして、半導体層 1 2 に不純物のイオン注入を行なうことにより、不純物濃度 $1 \times 10^{18} / \text{cm}^3 \sim 6 \times 10^{20} / \text{cm}^3$ の低濃度不純物拡散層 1 7 を形成する。

【 0 0 4 8 】

次に、図 2 (b) に示す工程で、半導体層 1 2 の上に、ゲート電極 1 4 およびゲート絶縁膜 1 5 を覆うサイドウォール用絶縁膜 1 9 a を堆積させる。ここで、サイドウォール用絶縁膜 1 9 a の例としてはシリコン窒化膜が挙げられるが、シリコン酸化膜（下層）とシリコン窒化膜（上層）とからなる積層膜を用いてもよい。または、シリコン酸窒化膜あるいはシリコン酸化膜（下層）とシリコン酸窒化膜（上層）とからなる積層膜を用いてもよい。

【 0 0 4 9 】

次に、図 2 (c) に示す工程で、サイドウォール用絶縁膜 1 9 a をドライエッチングによって異方的にエッチバックすることにより、ゲート電極 1 4 の側面を取り囲むサイドウォール 1 9 を形成する。

【 0 0 5 0 】

次に、図 2 (d) に示す工程で、リソグラフィ技術によって、基板 1 1 上に、ゲート電極 1 4 のうちゲートコンタクト 2 2 (図 2 (e) に示す) を設ける部分の側方に位置するサイドウォール 1 9 の領域 2 0 上に開口部を有するフォトレジスト層 2 1 を形成する。

【 0 0 5 1 】

次に、図 2 (e) に示す工程で、フォトレジスト層 2 1 をマスクとしてエッチングを行なうことにより、サイドウォール 1 9 のうち S T I 1 3 の上に位置する領域 2 0 の部分を除去する。なお、ここでのエッチングは、異方性・等方性のどちらであってもよい。異方性エッチングの場合には CHF_3 ガスを用いたドライ

エッチングを行ない、等方性エッチングの場合には CF_4 ガスを用いたドライエッチングを行なう。そして、基板上に残存するフォトリジスト層 2 1 を除去する。

【 0 0 5 2 】

その後、ゲート電極 1 4 およびサイドウォール 1 9 をマスクとして不純物のイオン注入を行なうことにより、半導体層 1 2 内に、不純物濃度 $1 \times 10^{21} / \text{cm}^3$ の高濃度不純物拡散層 1 6 を形成する。その後、基板 1 1 上に層間絶縁膜（図示せず）を形成し、ゲート電極 1 4 に接続されるゲートコンタクト 2 2 および高濃度不純物拡散層 1 6 に接続されるソース・ドレインコンタクト（図示せず）を形成する。これにより、LDD 構造を有する半導体装置が形成される。

【 0 0 5 3 】

本実施形態の半導体装置では、図 1（a）に示すように、ゲート電極 1 4 の側方のうちで一部の領域 2 0 にはサイドウォール 1 9 が形成されていない。そのため、ゲート電極の側方の全領域がサイドウォールにより覆われている従来と比較して、ゲート電極 1 4、ゲート絶縁膜 1 5 にかかる応力を低減することができる。これにより、閾値電圧の変動が抑制される。そのため、素子のさらなる微細化も可能となる。

【 0 0 5 4 】

なお、領域 2 0 は半導体層 1 2 から離れているため、サイドウォール 1 9 を除去するためのマスク合わせが容易となる利点もある。

【 0 0 5 5 】

また、本実施形態では、ゲート電極 1 4 のうちゲートコンタクト 2 2 を設ける部分の側方に位置する領域 2 0 のサイドウォール 1 9 を除去したが、これに限るものではなく、STI 1 3 上に位置するサイドウォールの一部を除去すればよい。例えば、領域 2 0 とは半導体層 1 2 を挟んで反対側の領域のサイドウォール 1 9 を除去してもよい。

【 0 0 5 6 】

また、本実施形態では、ゲート電極 1 4 の側面上および基板 1 1 の上面上にサイドウォール 1 9 が設けられている場合について述べたが、本発明においては、

ゲート電極 1 4 および基板 1 1 とサイドウォール 1 9 との間に、L 字状サイドウォールやオフセットスペーサ層などが介在していてもよい。ここで、L 字状サイドウォールは、サイドウォールの応力がゲート電極や半導体層におよぼす応力を緩和する目的で、ゲート電極の側面上から半導体層の上面上に接するように形成されるものである。オフセットスペーサ層は、ゲート電極と低濃度不純物拡散層とのオーバーラップを調整する目的で、ゲート電極の側面上に設けられたものである。

【 0 0 5 7 】

なお、本実施形態では基板としてバルクシリコン基板を用いたが、本発明では S O I 基板を用いることもできる。

(第 2 の実施形態)

次に、第 2 の実施形態にかかる半導体装置について、図 3 (a) ~ (c) を参照しながら説明する。図 3 は、第 2 の実施形態における半導体装置の構造図であり、(a) は平面図、(b) は図 3 (a) における A - A 箇所のゲート長方向の断面図、(c) は図 3 (a) における B - B 箇所のゲート幅方向の断面図である。なお、本実施形態では、第 1 の実施形態と同様の構成要素に同じ符号を用いて説明する。

【 0 0 5 8 】

図 3 (a) に示すように、本実施形態の半導体装置では、絶縁性のサイドウォール 3 0 が、高濃度不純物拡散層 1 6 のイオン注入のために必要な領域のみに形成されている。つまり、サイドウォール 3 0 は、半導体層 1 2 の上から S T I 1 3 のうち半導体層 1 2 の外縁に近接する部分の上に亘って形成されている。それ以外の構造は第 1 の実施形態と同様であるので説明を省略する。

【 0 0 5 9 】

次に、本実施形態の半導体装置の製造方法について、図 4 (a) ~ (e) を参照しながら説明する。図 4 (a) ~ (e) は、第 2 の実施形態の半導体装置の製造工程を示す図であり、上図は平面図、下図は上図の A - A 箇所における断面図である。

【 0 0 6 0 】

まず、図 4 (a) に示す工程で、基板 1 1 の素子形成領域の側方を囲む領域にトレンチ (図示せず) を形成する。そして、トレンチをシリコン酸化膜で埋めることにより、S T I 1 3 (図 3 に示す) を形成する。これにより、素子形成領域としての半導体層 1 2 と、半導体層 1 2 の側方を取り囲む S T I 1 3 とが上面に露出する。

【 0 0 6 1 】

次に、半導体層 1 2 の上にシリコン酸化膜またはシリコン窒化膜からなるゲート絶縁膜 1 5 を形成した後、ゲート絶縁膜 1 5 の上にポリシリコンからなるゲート電極を形成する。このとき、ゲート電極 1 4 は、半導体層 1 2 の上を縦断して S T I 1 3 の上にのびるように形成する。

【 0 0 6 2 】

そして、ゲート電極 1 4 をマスクとして、半導体層 1 2 に不純物のイオン注入を行なうことにより、不純物濃度 $1 \times 10^{18} / \text{cm}^3 \sim 6 \times 10^{20} / \text{cm}^3$ の低濃度不純物拡散層 1 7 を形成する。

【 0 0 6 3 】

次に、図 4 (b) に示す工程で、半導体層 1 2 の上に、ゲート電極 1 4 およびゲート絶縁膜 1 5 を覆うサイドウォール用絶縁膜 3 0 a を堆積させる。ここで、サイドウォール用絶縁膜 3 0 a の例としてはシリコン窒化膜が挙げられる。

【 0 0 6 4 】

次に、図 4 (c) に示す工程で、サイドウォール用絶縁膜 3 0 a をドライエッチングによって異方的にエッチバックすることにより、ゲート電極 1 4 の側面を取り囲むサイドウォール 3 0 を形成する。

【 0 0 6 5 】

次に、図 4 (d) に示す工程で、リソグラフィ技術によって、基板上をフォトレジスト層 3 3 で覆い、フォトレジスト層 3 3 のうち領域 3 1 と領域 3 2 とに位置する部分のみを除去して、開口部を形成する。領域 3 1 および領域 3 2 は、共に S T I 1 3 の上に位置している。そして、領域 3 1 は、ゲート電極 1 4 のうちゲートコンタクト 2 2 (図 4 (e) に示す) を設ける部分の側方に位置する領域であり、領域 3 2 は、領域 3 1 と半導体層 1 2 を挟んでゲート幅方向の反対側に

位置する領域である。

【0066】

なお、上述のように、フォトリジスト層33を基板全面に堆積した後に、領域31および領域32に位置する部分を除去してもよいし、半導体層12を覆う部分以外を除去してもよい。その場合には、サイドウォール30の側方にSTI13が露出した状態でサイドウォール30のエッチングを行なうことになる。通常、STI13とサイドウォール30とでは材質が異なるため、STI13に大きな影響を与えることなくサイドウォール30の選択的なエッチングができる。

【0067】

次に、図4(e)に示す工程で、フォトリジスト層33をマスクとしてエッチングを行なうことにより、サイドウォール30のうちSTI13上に位置する領域31および領域32の部分を除去する。なお、ここでのエッチングは、異方性・等方性のどちらであってもよい。異方性エッチングの場合には CHF_3 ガスを用いたドライエッチングを行ない、等方性エッチングの場合には CF_4 ガスを用いたドライエッチングを行なう。その後、フォトリジスト層33を除去する。

【0068】

その後、ゲート電極14およびサイドウォール30をマスクとして不純物のイオン注入を行なうことにより、半導体層12内に、不純物濃度 $1 \times 10^{21} / \text{cm}^3$ の高濃度不純物拡散層16を形成する。その後、基板上に層間絶縁膜（図示せず）を形成した後、ゲート電極14に接続されるゲートコンタクト22および高濃度不純物拡散層16に接続されるソース・ドレインコンタクト（図示せず）を形成する。これにより、LDD構造を有する半導体装置が形成される。

【0069】

本実施形態の半導体装置では、ゲート電極14の側方のうちでSTI13上に位置する領域31および領域32にはサイドウォール30が形成されていない。従って、サイドウォール30は、半導体層12の上およびSTI13のうち半導体層12の外縁に近接する一部分のみに跨って形成される。このとき、半導体層12の外縁に近接する一部分は、マスク合わせにおけるズレやサイドウォール30のエッチングにおいて、半導体層12が露出しない程度にあればよい。そのた

め、ゲート電極の側方の全領域がサイドウォールにより覆われている従来と比較して、ゲート電極 1 4 あるいはゲート絶縁膜 1 5 にかかる応力を低減することができる。これにより、閾値電圧の変動が抑制される。そのため、素子のさらなる微細化も可能となる。

【0070】

また、第 1 の実施形態と比較して、サイドウォールが設けられている領域がさらに狭くなっている。そのため、サイドウォールに起因する応力がさらに緩和され、サイドウォールから基板 1 1 へかかる応力も抑制される。これにより、半導体層 2 において結晶欠陥が発生しにくくなるので、リーク電流の発生を回避することができ、信頼性を高めることができる。

【0071】

また、上記実施形態では、ゲート電極 1 4 の側面上および基板 1 1 の上面上にサイドウォール 3 0 が設けられている場合について述べたが、本発明においては、ゲート電極 1 4 および基板 1 1 とサイドウォール 3 0 との間に、L 字状サイドウォールやオフセットスペーサ層などが介在していてもよい。

【0072】

なお、本実施形態では基板としてバルクシリコン基板を用いたが、本発明では SOI 基板を用いることもできる。

【0073】

(第 3 の実施形態)

上記 2 つの実施形態においては、ゲート電極の側方においてサイドウォールが断絶している場合について述べた。しかし、サイドウォールが断絶していない場合であっても、サイドウォールが他の領域よりも薄くなっておれば、サイドウォール起因の応力を低減することができる。本実施形態では、そのような場合について具体的な例を示す。

【0074】

図 5 は、第 3 の実施形態における半導体装置の構造図であり、(a) は平面図、(b) は図 5 (a) における A-A 箇所のゲート長方向の断面図、(c) は図 5 (a) における B-B 箇所のゲート幅方向の断面図である。図 5 (a) および

(c) に示すように、本実施形態の半導体装置では、領域 20 において、サイドウォール 50 が完全には除去されておらず、サイドウォール 50 の他の部分に比べて薄い膜厚で残存している点が第 1 の実施形態と異なる。

【0075】

ここで、サイドウォール 50 のうち領域 20 に位置する部分を除去するときに、異方性エッチングを行ったときは主に上下方向の厚さが薄くなり、等方性エッチングを行ったときは、上下方向および水平方向の厚さが薄くなる。それ以外の構造は、第 1 の実施形態と同様である。

【0076】

なお、図 5 (a) ～ (c) は、領域 20 においてサイドウォール 50 が薄くなっている場合を示しているが、第 2 の実施形態の図 4 (d) に示す領域 31 および領域 32 においてサイドウォールが薄くなっているもよい。

【0077】

なお、本実施形態では基板としてバルクシリコン基板を用いたが、本発明では SOI 基板を用いることもできる。

【0078】

【発明の効果】

本発明では、サイドウォールからゲート電極およびゲート絶縁膜へかかる応力を、従来よりも緩和することができる。そのため、閾値電圧の変動を抑制することができ、結晶欠陥の発生を抑制することができる。

【図面の簡単な説明】

【図 1】

第 1 の実施形態における半導体装置の構造図であり、(a) は平面図、(b) は図 1 (a) における A-A 箇所のゲート長方向の断面図、(c) は図 1 (a) における B-B 箇所のゲート幅方向の断面図である。

【図 2】

(a) ～ (e) は、第 1 の実施形態の半導体装置の製造工程を示す図であり、上図は平面図、下図は上図の A-A 箇所における断面図である。

【図 3】

第 2 の実施形態における半導体装置の構造図であり、(a) は平面図、(b) は図 3 (a) における A - A 箇所のゲート長方向の断面図、(c) は図 3 (a) における B - B 箇所のゲート幅方向の断面図である。

【図 4】

(a) ~ (e) は、第 2 の実施形態の半導体装置の製造工程を示す図であり、上図は平面図、下図は上図の A - A 箇所における断面図である。

【図 5】

第 3 の実施形態における半導体装置の構造図であり、(a) は平面図、(b) は図 5 (a) における A - A 箇所のゲート長方向の断面図、(c) は図 5 (a) における B - B 箇所のゲート幅方向の断面図である。

【図 6】

従来の半導体装置の構造を示す構造図であり、(a) は平面図、(b) は図 6 (a) の A - A 箇所の断面図である。

【図 7】

(a) ~ (d) は、図 6 に示す半導体装置の製造工程を示す断面図である。

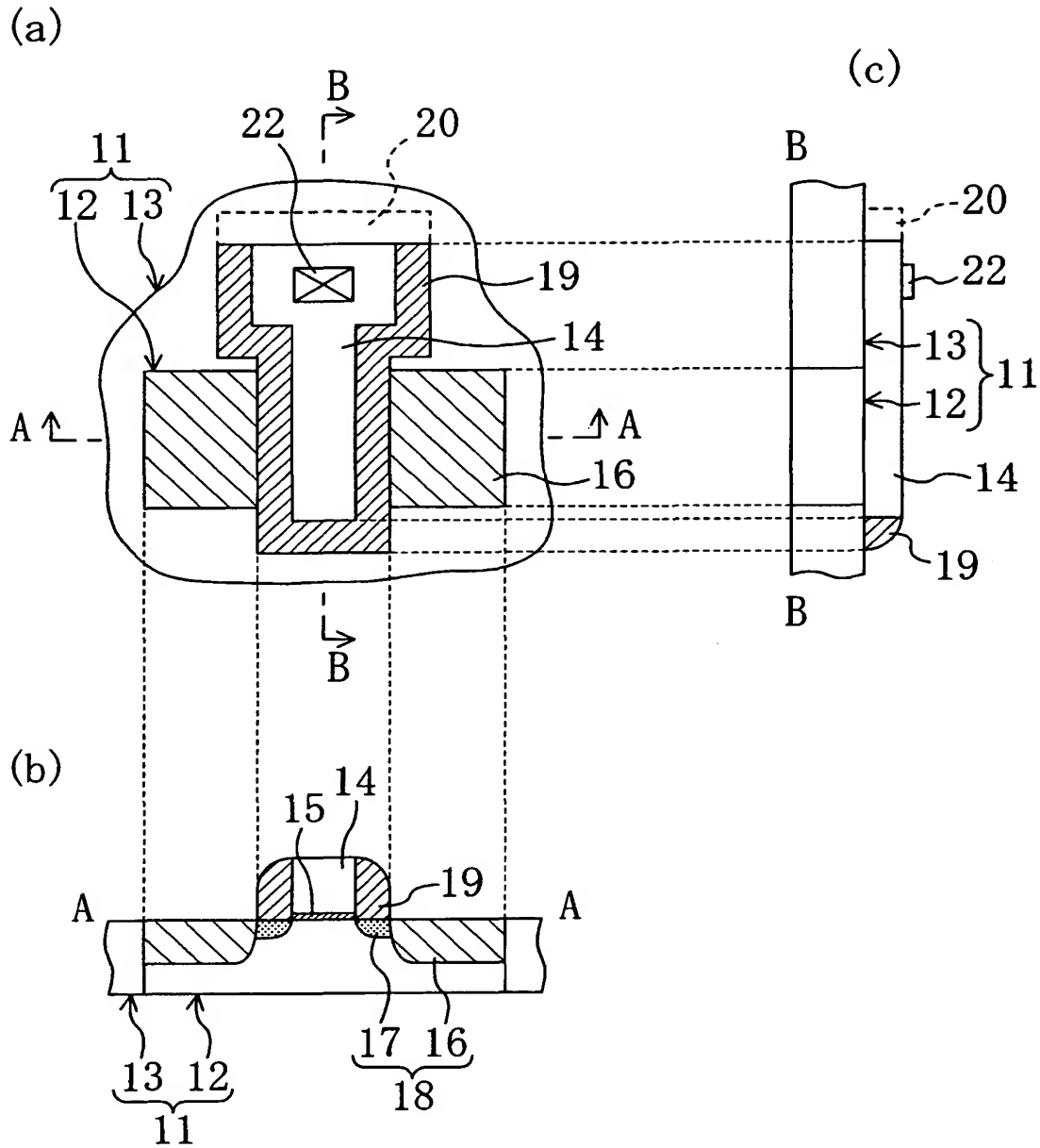
【符号の説明】

- 1 1 基板
- 1 2 半導体層
- 1 3 S T I
- 1 4 ゲート電極
- 1 5 ゲート絶縁膜
- 1 6 高濃度不純物拡散層
- 1 7 低濃度不純物拡散層
- 1 8 ソース・ドレイン領域
- 1 9 サイドウォール
- 1 9 a サイドウォール用絶縁膜
- 2 0 領域
- 2 1 フォトレジスト層

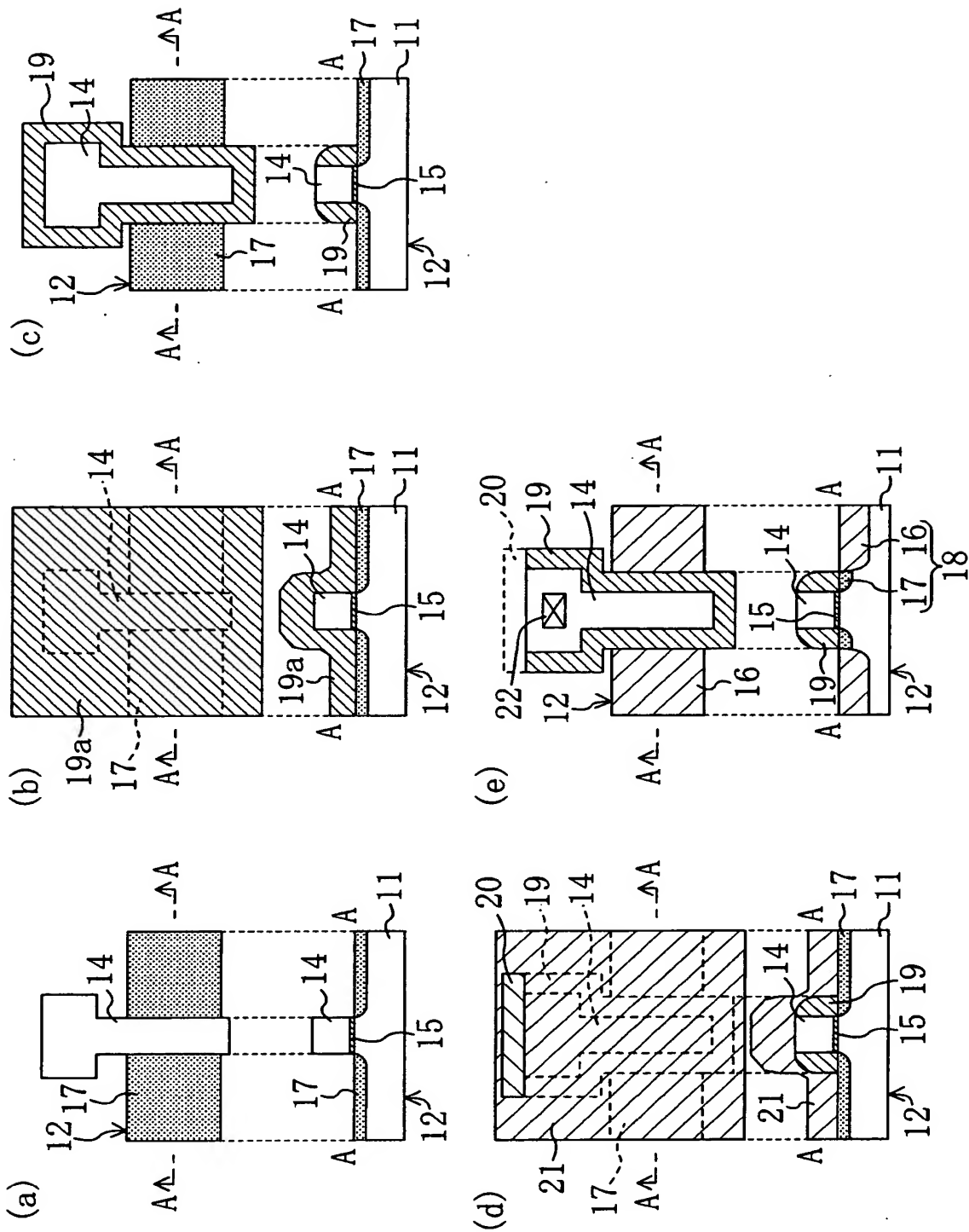
- 2 2 ゲートコンタクト
- 3 0 サイドウォール
- 3 0 a サイドウォール用絶縁膜
- 3 1 領域
- 3 2 領域
- 3 3 フォトレジスト層
- 5 0 サイドウォール

【書類名】 図面

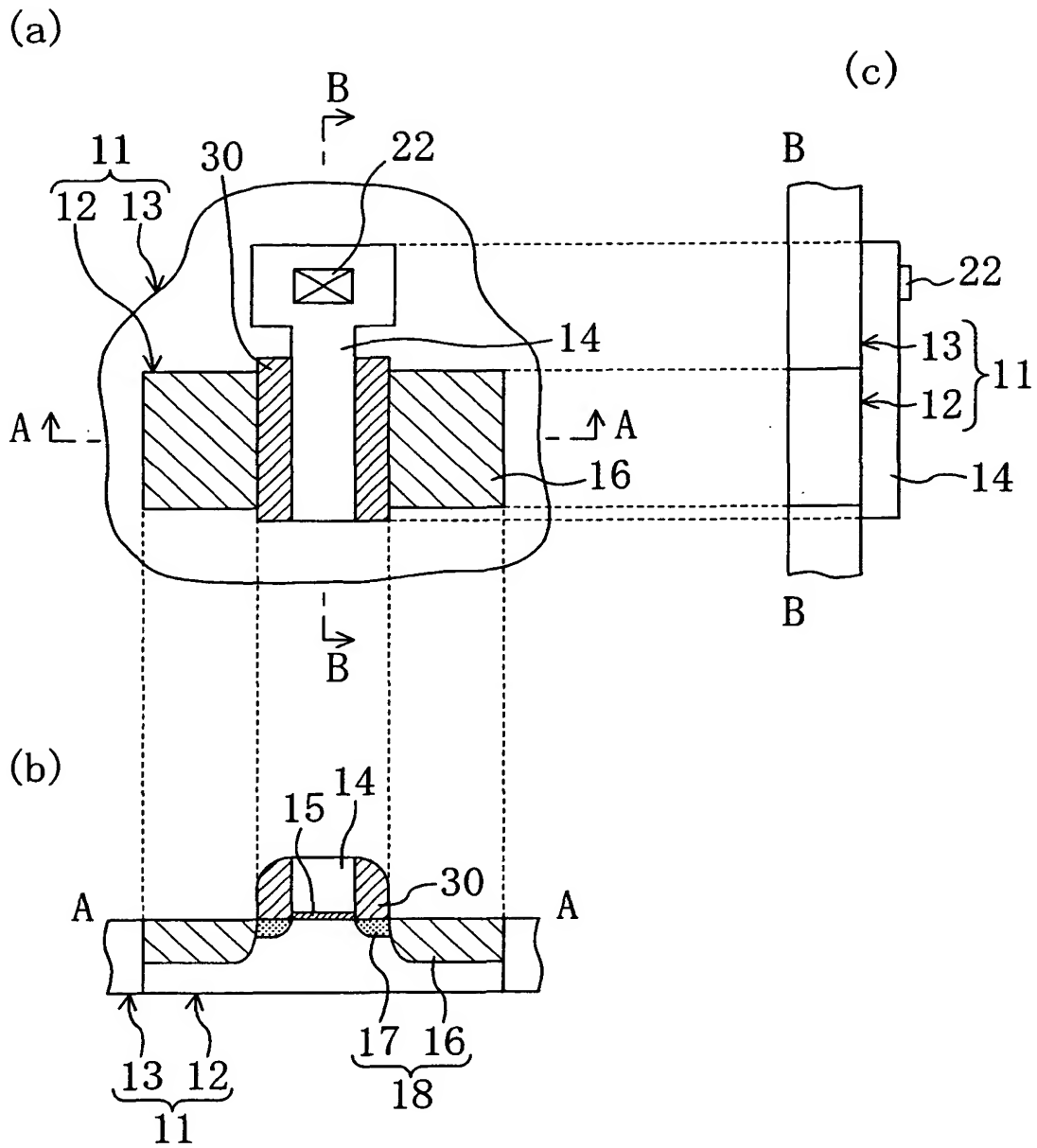
【図 1】



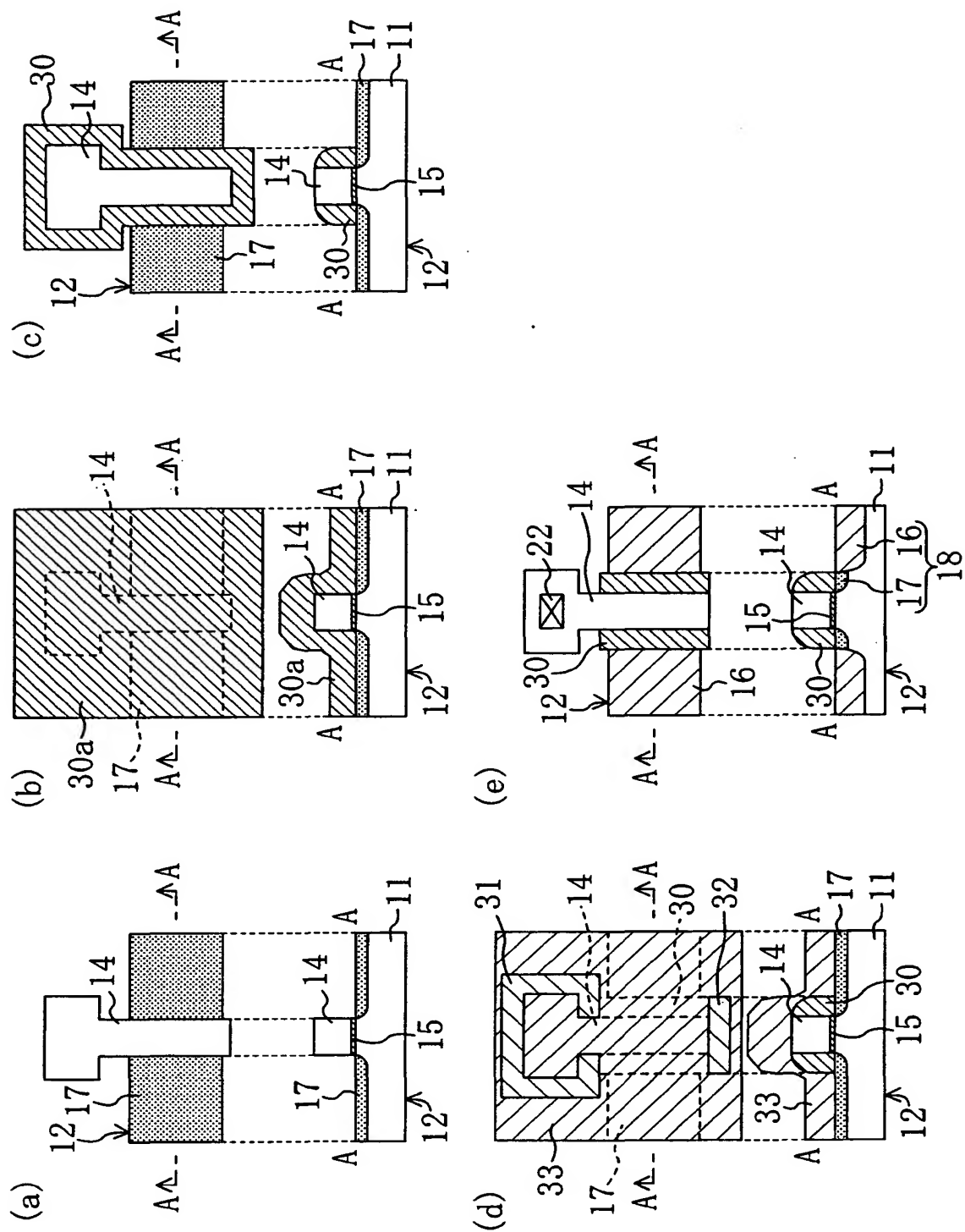
【図 2】



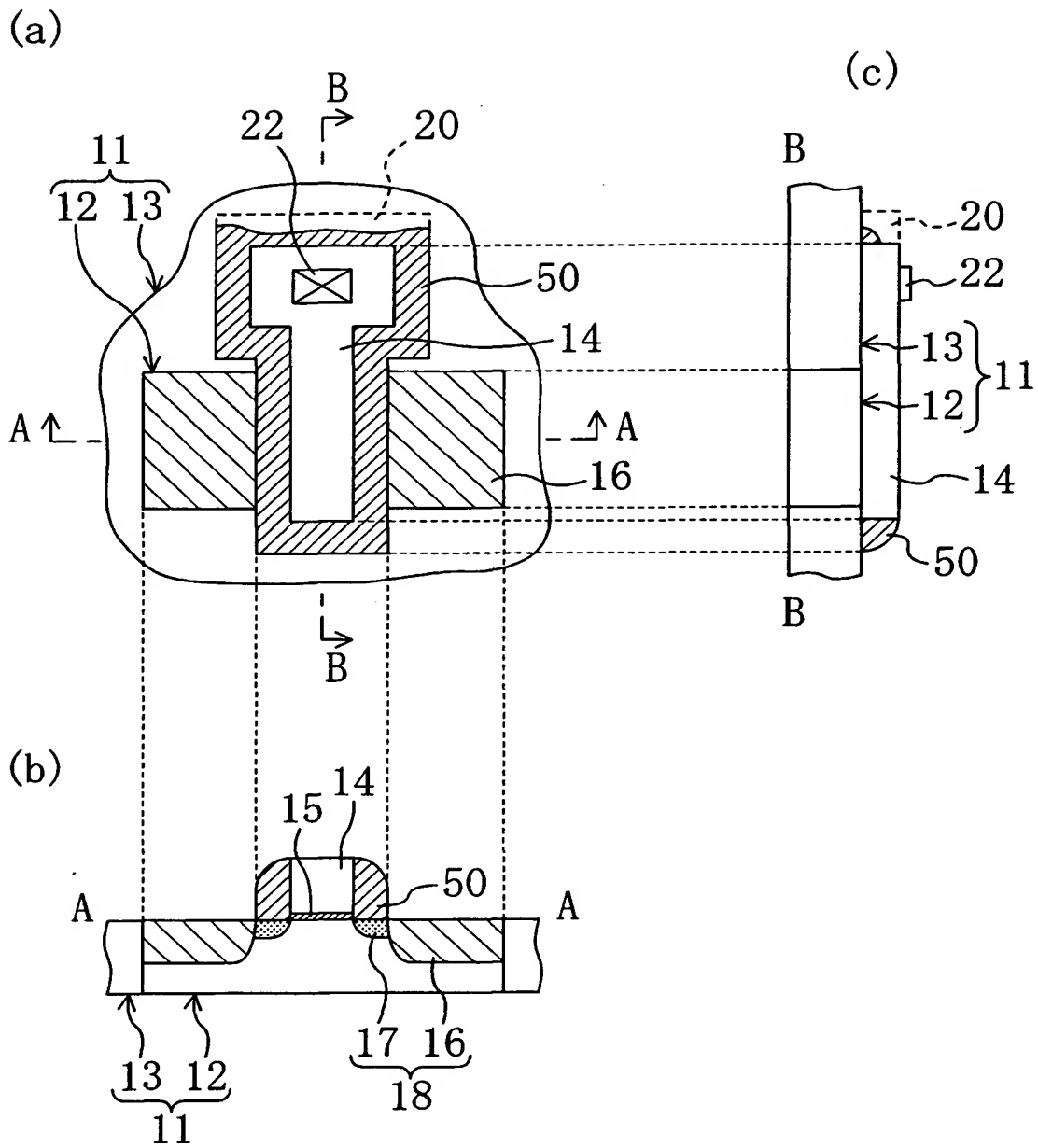
【図 3】



【図 4】

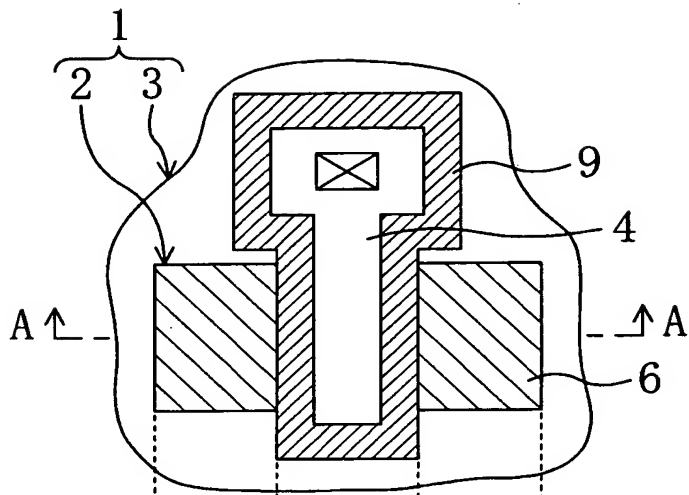


【図 5】

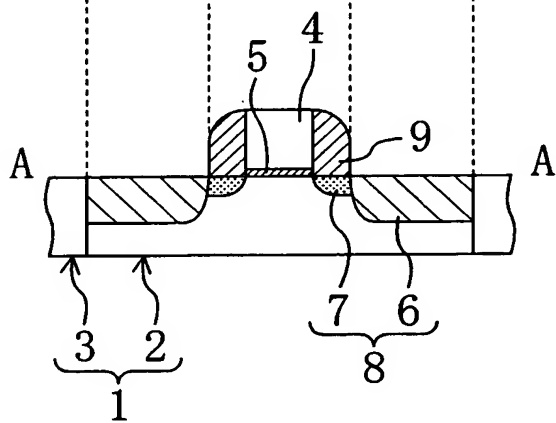


【図 6】

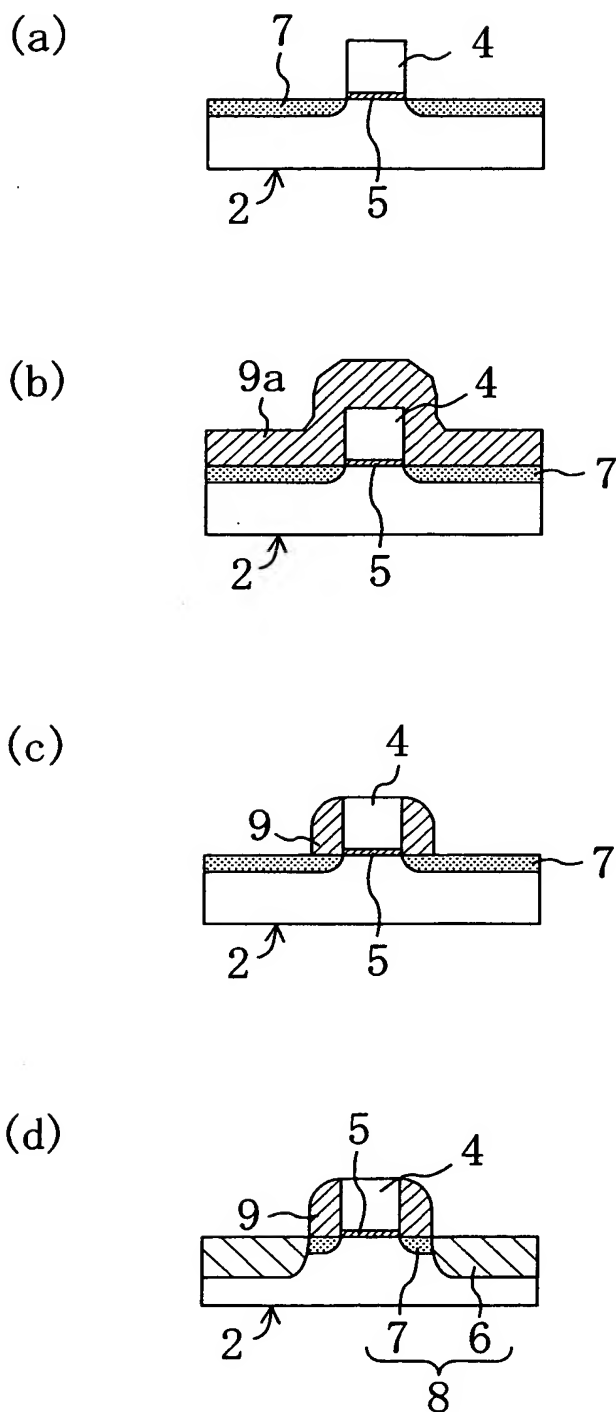
(a)



(b)



【図 7】



【書類名】 要約書

【要約】

【課題】 サイドウォールに起因する応力の少ない半導体装置およびその製造方法を提供する。

【解決手段】 基板 1 1 は素子形成領域である半導体層 1 2 と素子分離領域である S T I 1 3 とからなっている。半導体層 1 2 の上にはゲート絶縁膜 1 5 が設けられており、ゲート絶縁膜 1 5 の上から S T I 1 3 の上に亘ってゲート電極 1 4 が設けられている。そして、サイドウォール 3 0 が、半導体層 1 2 の上から S T I 1 3 のうち半導体層 1 2 の外縁に近接する領域の上において、ゲート電極 1 4 の側面を覆うように設けられている。このサイドウォール 3 0 は、ソース・ドレイン領域として機能する高濃度不純物拡散層 1 6 を形成するためのイオン注入マスクとして用いられる。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日

[変更理由] 新規登録

住 所 大阪府門真市大字門真 1 0 0 6 番地

氏 名 松下電器産業株式会社